

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Fumihito OHTA

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: FAILURE ANALYSIS METHOD OF SEMICONDUCTOR DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. _____ Date Filed _____

- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:


<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-152178	May 29, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s) _____
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2003年 5月29日

出願番号
Application Number:

特願2003-152178

[ST.10/C]:

[JP2003-152178]

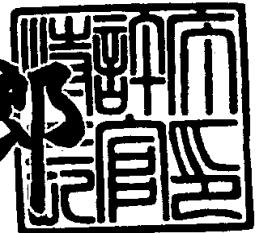
出願人
Applicant(s):

株式会社ルネサステクノロジ

2003年 6月30日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3051705

【書類名】 特許願
【整理番号】 543953JP01
【提出日】 平成15年 5月29日
【あて先】 特許庁長官殿
【国際特許分類】 G11C 29/00
【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目4番1号 株式会社ルネサ
ステクノロジ内

【氏名】 太田 文人

【特許出願人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【代理人】

【識別番号】 100089233

【弁理士】

【氏名又は名称】 吉田 茂明

【選任した代理人】

【識別番号】 100088672

【弁理士】

【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の不良解析方法

【特許請求の範囲】

【請求項 1】 (a) 行列状に配置された複数のメモリセルを有する半導体装置から取得されたフェイルビットマップにおいて、ブロック不良と分類される領域に対して行毎に不良ビット数を積算する工程と、

(b) 前記フェイルビットマップにおいて、前記ブロック不良と分類される領域に対して列毎に不良ビット数を積算する工程と、

(c) 行毎に積算した不良ビット数の平均値から第 1 閾値を求め、前記行毎に積算した不良ビット数と前記第 1 閾値とを比較する工程と、

(d) 列毎に算出した不良ビット数の平均値から第 2 閾値を求め、前記列毎に積算した不良ビット数と前記第 2 閾値とを比較する工程と、

(e) 前記工程 (c) 後に各行の比較結果の平均値を求め行平均値を算出する工程と、

(f) 前記工程 (d) 後に各列の比較結果の平均値を求め列平均値を算出する工程と、

(g) 前記行平均値が前記列平均値に所定の係数を掛けた値より大きければ、前記半導体装置は列方向のブロック不良を有すると判断し、前記列平均値が前記行平均値に前記所定の係数を掛けた値より大きければ、前記半導体装置は行方向のブロック不良を有すると判断し、前記行平均値が前記列平均値に前記所定の係数を掛けた値以下で、且つ前記列平均値が前記行平均値に前記所定の係数を掛けた値以下であれば、前記半導体装置はランダムブロック不良を有すると判断する工程とを備える、

半導体装置の不良解析方法。

【請求項 2】 請求項 1 に記載の半導体装置の不良解析方法であって、

(h) 前記列方向のブロック不良と判断された前記フェイルビットマップを所定の列数の列ブロックに分割する第 1 分割工程と、

(i) 前記列ブロック内の同じ位置の列にある前記列方向の不良ビット数を、全ての前記列ブロックにおいて積算し、列毎に列ブロックの不良ビット数を算出

する工程と、

(j) 前記列ブロックの不良ビット数の最大値から第3閾値を算出し、前記第3閾値と各列の前記列ブロックの不良ビット数とを比較して、前記第3閾値より大きい列を抽出する工程とをさらに備えたことを特徴とする、

半導体装置の不良解析方法。

【請求項3】 請求項1に記載の半導体装置の不良解析方法であって、

(k) 前記行方向のブロック不良と判断された前記フェイルビットマップを所定の行数の行ブロックに分割する第2分割工程と、

(l) 前記行ブロック内で同じ位置の行にある前記行方向の不良ビット数を、全ての前記行ブロックにおいて積算し、行毎に行ブロックの不良ビット数を算出する工程と、

(m) 前記行ブロックの不良ビット数の最大値から第4閾値を算出し、前記第4閾値と各行の前記行ブロックの不良ビット数とを比較して、前記第4閾値より大きい行を抽出する工程とをさらに備えたことを特徴とする、

半導体装置の不良解析方法。

【請求項4】 請求項2又は請求項3に記載の半導体装置の不良解析方法であって、

(n) 前記工程(g)後に、前記フェイルビットマップを所定の行数の第1ブロックに分割する工程と、

(o) 前記第1ブロック毎に、各列の前記列方向の不良ビット数が所定の個数以上の場合に各列を1ビットの不良ビットに変換し、各列の前記列方向の不良ビット数が所定の個数より少ない場合に各列を1ビットの正常ビットに変換することで、前記第1ブロックを1行の前記フェイルビットマップに縮退させる工程とをさらに備えたことを特徴とする、

半導体装置の不良解析方法。

【請求項5】 請求項2又は請求項3に記載の半導体装置の不良解析方法であって、

(p) 前記工程(g)後に、前記フェイルビットマップを所定の列数の第2ブロックに分割する工程と、

(q) 前記第 2 ブロック毎に、各行の前記行方向の不良ビット数が所定の個数以上の場合に各行を 1 ビットの不良ビットに変換し、各行の前記行方向の不良ビット数が所定の個数より少ない場合に各行を 1 ビットの正常ビットに変換することで、前記第 2 ブロックを 1 列の前記フェイルビットマップに縮退させる工程とをさらに備えたことを特徴とする、

半導体装置の不良解析方法。

【請求項 6】 請求項 2 乃至請求項 5 のいずれかに記載の半導体装置の不良解析方法であって、

(r) 不良解析方法を適用する前記フェイルビットマップの範囲を予め設定する工程をさらに備えることを特徴とする、

半導体装置の不良解析方法。

【請求項 7】 請求項 2 に記載の半導体装置の不良解析方法であって、

(s) 前記工程 (j) の抽出結果に基づいて不良ビットの列周期を算出する工程をさらに備えることを特徴とする、

半導体装置の不良解析方法。

【請求項 8】 請求項 3 に記載の半導体装置の不良解析方法であって、

(t) 前記工程 (m) の抽出結果に基づいて不良ビットの行周期を算出する工程をさらに備えることを特徴とする、

半導体装置の不良解析方法。

【請求項 9】 請求項 7 又は請求項 8 に記載の半導体装置の不良解析方法であって、

(u) 前記周期性を有する不良ビットを前記フェイルビットマップから削除する工程をさらに備えることを特徴とする、

半導体装置の不良解析方法。

【請求項 10】 請求項 9 に記載の半導体装置の不良解析方法であって、

(v) 前記周期性を有する不良ビットを削除した前記フェイルビットマップに対して、削除されずに残った不良ビットに基づいてデータ補完を行う工程をさらに備えることを特徴とする、

半導体装置の不良解析方法。

【請求項11】 請求項1乃至請求項10のいずれかに記載の半導体装置の不良解析方法であって、

(w) 前記工程(a)以前に前記フェイルビットマップに含まれる不良ビットの密度を測定する工程をさらに備え、

前記不良ビットの密度が所定の密度以下である場合に、前記工程(a)乃至前記工程(v)をスキップすることを特徴とする、

半導体装置の不良解析方法。

【請求項12】 請求項7又は請求項8に記載の半導体装置の不良解析方法であって、

(x) 周期性を有する前記ブロック不良に対して、前記ブロック不良の不良率及び不良率の推移の情報に基づいてさらに分類する工程をさらに備えることを特徴とする、

半導体装置の不良解析方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の不良解析方法に係る発明であって、特に、複数のメモリセルを有する半導体装置に含まれるブロック不良に対する不良解析方法に関するものである。

【0002】

【従来の技術】

マトリックス状に配置された複数のメモリセルを有する半導体装置に対して、従来、行われている不良解析方法としてはLSIテストを用いる方法がある。このLSIテストを用いる不良解析方法は、半導体装置内の全てのメモリセルに対して電気的特性に関するテストを行い不良のメモリセル（以下、不良ビットともいう）のデータを収集し、マトリックス状のマップ（以下、フェイルビットマップともいう）上に表示して不良原因を解析する方法である。この不良原因を解析には、まずフェイルビットマップから不良ビットの形状を認識し、この形状が規定されている形状に対してどの程度の一致率になるかによって、ブロック不良や

ライン不良等の分類を行っている。

【0003】

また、フェイルビットマップを用いて不良解析を行う方法として、特許文献1にも示されている。この特許文献1では、半導体装置からフェイルビットデータをLSIテストで取得し、この取得したフェイルビットデータを半導体装置のレイアウト順に並び替えるフィジカル変換を施す。次に、このフィジカル変換が施されたフェイルビットデータを基に、半導体装置に対して設定された認識領域毎にビット不良が多発しているか否かを判定している。

【0004】

【特許文献1】

特開2000-306395号公報（第5-10頁、第1-14図）

【0005】

【発明が解決しようとする課題】

しかし、従来の不良解析方法では、規定されている形状との一致率により分類が行われているため、ブロック不良やライン不良などの不良が混在すると正確に分類することができなくなり、十分な不良解析を行うことができないという問題があった。

【0006】

また、特許文献1で示されているような不良解析方法では、不良ビット数に依存しない不良分類処理を行っており、フェイルビットマップから得られる、詳細な不良ビット数の情報を利用して不良解析を行うことができない問題があった。また、特許文献1では、ある領域での不良を単にライン不良、ビット不良等に分類するのみであり、ブロック不良内部の詳細な不良解析を行うものではなかった。

【0007】

そこで、本発明は、半導体装置のブロック不良に対し詳細な不良解析を行い、行又は列方向に周期的な不良ビットを有するブロック不良（以下、周期的なブロック不良ともいう）等の詳細な不良分類を行うことができる半導体装置の不良解析方法を提供することを目的とする。また、本発明は、周期的なブロック不良や

周期的なライン不良などが混在している場合に、精度良く周期的なブロック不良や周期的なライン不良などの不良を分類し不良解析を行うことができる半導体装置の不良解析方法を提供することを目的とする。

【0008】

【課題を解決するための手段】

本発明に係る解決手段は、(a) 行列状に配置された複数のメモリセルを有する半導体装置から取得されたフェイルビットマップにおいて、ブロック不良と分類される領域に対して行毎に不良ビット数を積算する工程と、(b) フェイルビットマップにおいて、ブロック不良と分類される領域に対して列毎に不良ビット数を積算する工程と、(c) 行毎に積算した不良ビット数の平均値から第1閾値を求め、行毎に積算した不良ビット数と第1閾値とを比較する工程と、(d) 列毎に算出した不良ビット数の平均値から第2閾値を求め、列毎に積算した不良ビット数と第2閾値とを比較する工程と、(e) 工程(c)後に各行の比較結果の平均値を求め行平均値を算出する工程と、(f) 工程(d)後に各列の比較結果の平均値を求め列平均値を算出する工程と、(g) 行平均値が列平均値に所定の係数を掛けた値より大きければ、半導体装置は列方向のブロック不良を有すると判断し、列平均値が行平均値に所定の係数を掛けた値より大きければ、半導体装置は行方向のブロック不良を有すると判断し、行平均値が列平均値に所定の係数を掛けた値以下で、且つ列平均値が行平均値に所定の係数を掛けた値以下であれば、半導体装置はランダムブロック不良を有すると判断する工程とを備える。

【0009】

【発明の実施の形態】

以下、本発明をその実施の形態を示す図面に基づいて具体的に説明する。

【0010】

(実施の形態1)

図1に、本実施の形態に係る半導体装置の不良解析方法を行う装置のブロック図を示す。図1では、半導体装置1が半導体装置1内に設けられているメモリセルに対して電気的特性を測定するためのLSIテスト2に接続されている様子が示されている。LSIテスト2で測定された半導体装置1のデータは、データ回

線 3 (LAN など) で接続されたデータ解析用 EWS (Engineering Work Station) 4 に送られる。データ解析用 EWS 4 では、LSI テスタ 2 での半導体装置 1 のデータを解析し、不良の分類や要因の特定を行う。なお、図 1 において符号が付されていないボックスは、ネットワーク接続するための通信機器を表す。

【0011】

図 2 に、本実施の形態に係る半導体装置 1 のフェイルビットマップを示す。図 2 では、128 ビット×128 ビットのメモリセルを含む半導体チップ 5 が、半導体ウェハ上に 24 個配列されものを半導体装置 1 とする。なお、図 2 では図面の制約上、半導体チップ 5 の 1 マスを 16 ビット×16 ビットとして表現しているが、本来のフェイルビットマップはビット単位のデータが保持されている。そして、図 2 のフェイルビットマップでは、白いマスが正常なメモリセル（正常ビット）を、黒いマスが不良のメモリセル（不良ビット）を表している。なお、図 2 では、1 マスが 16 ビット×16 ビット＝256 ビットを代表しているため、ある基準以上の不良ビットが存在すれば、当該マスを黒で塗りつぶしている。例えば、256 ビット中に 4 つ以上の不良ビットが存在する場合を基準として、1 マスを黒で塗りつぶしている。

【0012】

図 2 のフェイルビットマップに対して、従来技術の不良分類を行う。まず、フェイルビットマップから不良ビットの形状を認識し、この形状が予め規定されている形状に対する一致率や周りにある不良ビットの位置関係等を基準に、ビット不良 6、ライン不良 7、ブロック不良 8 の分類を行っている。ここで、ビット不良 6 は、不良ビットが単独に存在する場合の不良であり、ライン不良 7 は、複数の不良ビットが直線状に存在する場合の不良である。また、ブロック不良 8 は、複数の不良ビットがある領域の範囲内に集中して存在する場合の不良である。

【0013】

本実施の形態では、ビット不良 6、ライン不良 7 及びブロック不良 8 に分類された不良の内、さらにブロック不良 8 に対して不良解析を行う。図 3 に、本実施の形態に係るブロック不良 8 のフェイルビットマップ 9 を示す。図 2 では 4 マス

×4マスで表示されているが、1マスが16ビット×16ビットであるため、図3では、64ビット×64ビットのフェイルビットマップ9が表示されている。また、図2と同様、図3でも白いマスが正常ビットを、黒いマスが不良ビットを表している。

【0014】

次に、本実施の形態に係る不良解析方法について説明する。図3のフェイルビットマップ9から、行毎、列毎に不良ビット数を計算する。例えば、図3の1行目は13個、10行目が7個、20行目が2個、30行目が7個、64行目が10個である。また、図3の1列目は0個、7列目は36個、31列目は20個、55列目は10個、64列目は0個である。そして、全ての行及び列毎に不良ビット数を計算した後に、行の平均不良ビット数と列の平均不良ビット数とを求める。この行の平均不良ビット数の $1/2$ を行の閾値、列の平均不良ビット数の $1/2$ を列の閾値とする。例えば、図3では、行の閾値は2.36、列の閾値は2.36となる。なお、本実施の形態では、行の閾値及び列の閾値を求めるために、行の平均不良ビット数及び列の平均不良ビット数にそれぞれ $1/2$ を掛けたが、本発明はこれに限られず、不良解析方法に適した他の値を行の平均不良ビット数及び列の平均不良ビット数にそれぞれ掛けても良い。

【0015】

そして、行の閾値及び列の閾値に基づいて各行及び各列の不良ビット数をデジタル変換する。つまり、各行及び各列の不良ビット数が、行の閾値及び列の閾値以上なら1に、行の閾値及び列の閾値未満なら0に変換する。例えば、図3の1行目は1、10行目が1、20行目が0、30行目が1、64行目が1である。また、図3の1列目は0、7列目は1、31列目は1、55列目は1、64列目は0である。このデジタル変換した各行及び各列の不良ビット数から、行平均値及び列平均値をそれぞれ求める。例えば、図3では、行平均値が0.84、列平均値が0.25である。

【0016】

次に、この行平均値及び列平均値を用いて、ブロック不良の更なる分類を行う。具体的には、列平均値が、行平均値に係数を掛けた値よりも大きい場合は行方

向のブロック不良と分類される。また、行平均値が、列平均値に係数を掛けた値よりも大きい場合は列方向のブロック不良と分類される。さらに、列平均値が、行平均値に係数を掛けた値以下で、且つ行平均値が、列平均値に係数を掛けた値以下の場合は、ランダムブロック不良と判断される。例えば、図3では、行平均値が0.84、列平均値が0.25であり、係数を1.2とすると、 $0.84 > 0.25 \times 1.2$ となる。つまり、行平均値が、列平均値に係数を掛けた値よりも大きくなり、列方向のブロック不良と分類できる。

【0017】

なお、本実施の形態では、行の閾値及び列の閾値を算出するために、行の平均不良ビット数及び列の平均不良ビット数に $1/2$ を掛けているが、本発明は、これに限られず過去の不良データ等に基づいた適切な値を行及び列の平均不良ビット数に掛けるように設定しても良い。また、本実施の形態では、不良の分類のための係数を1.2としているが、本発明は、これに限られず過去の不良データ等に基づいた適切な値を設定しても良い。

【0018】

以上のように、本実施の形態に記載の半導体装置の不良解析方法は、行平均値が列平均値に所定の係数を掛けた値より大きければ、半導体装置は列方向のブロック不良を有すると判断し、列平均値が行平均値に所定の係数を掛けた値より大きければ、半導体装置は行方向のブロック不良を有すると判断し、行平均値が列平均値に所定の係数を掛けた値以下で、且つ列平均値が行平均値に所定の係数を掛けた値以下であれば、半導体装置はランダムブロック不良を有すると判断する工程とを備えるので、従来分類することができなかった不良に対して詳細な情報を得ることができ、不良の分類精度が向上した不良解析を行うことができる。

【0019】

(実施の形態2)

実施の形態1では、ブロック不良に対して列方向のブロック不良、行方向のブロック不良、ランダムブロック不良の3つの分類が行われる。本実施の形態では、実施の形態1で行った分類で列方向のブロック不良及び行方向のブロック不良と判断されたブロック不良に対して更なる不良解析を行う。そのため、ランダム

ブロック不良と判断された場合は、本実施の形態の不良解析方法は行わない。

【0020】

まず、本実施の形態では、列方向のブロック不良と判断されたブロック不良のフェイルビットマップ9を所定の列数毎に分割する。分割された部分の同じ位置に対応する列の不良ビット数を積算する。つまり、ある分割された部分の5列目の不良ビット数と、別の分割された部分の5列目の不良ビット数を積算する。これにより、分割された部分の列数分の不良ビット数の集計結果が得られる。例えば、図3のフェイルビットマップ9を16列毎に4つの部分に分割する。図4（a）に分割されたフェイルビットマップ9を示す。ここで、もとのフェイルビットマップ9の1列目から16列目までをA部分、17列目から32列目までをB部分、33列目から48列目までをC部分、49列目から64列目までをD部分とする。次に、A部分の1列目（もとのフェイルビットマップ9の1列目）とB部分の1列目（もとのフェイルビットマップ9の17列目）とC部分の1列目（もとのフェイルビットマップ9の33列目）とD部分の1列目（もとのフェイルビットマップ9の49列目）の各不良ビット数を積算する。その結果、各部分の1列目の合計は0個となる。同様に各部分の3列目は、90個となる。以上のよう、各部分の1列目から16列目までをそれぞれ積算した集計結果を図4（b）に示す。

【0021】

次に、求められた所定の列数分の不良ビット数から最大値を求め、この最大値の $1/2$ を閾値として、求められた所定の列数分の不良ビット数と閾値を比較する。比較の結果、閾値以上の列の情報をデータとして取り出す。例えば図4（b）では、最大値が3列目の90個であり、この最大値から閾値は45と求められる。この閾値と図4（b）の表に示された各列の不良ビット数とを比較して、閾値より大きい列3，7，11，15列をデータとして取り出す。つまり、本実施の形態の不良解析方法により、図3に示されたフェイルビットマップ9から、3，7，11，15列の列方向のブロック不良（以下、列方向のブロック不良（3，7，11，15）とも表現する）であると分類できる。

【0022】

なお、行方向のブロック不良と判断されたブロック不良に対しては、フェイルビットマップを所定の行数毎に分割する。そして、同様に分割された部分の同じ位置に対応する行の不良ビット数を積算する。また、本実施の形態では、閾値を算出するために、不良ビット数の最大値に $1/2$ を掛けているが、本発明は、これに限られず過去の不良データ等に基づいた適切な値を不良ビット数の最大値に掛けるように設定しても良い。

【0023】

以上のように、本実施の形態に記載の半導体装置の不良解析方法は、列又は行方向のブロック不良と判断されたフェイルビットマップ 9 を所定の列数又は行数の列又は行ブロックに分割する工程と、列又は行ブロック内の同じ位置の列にある列又は行方向の不良ビット数を、全ての列又は行ブロックにおいて積算し、列毎又は行毎に列又は行ブロックの不良ビット数を算出する工程と、列又は行ブロックの不良ビット数の最大値から閾値を算出し、閾値と各列又は各行のブロックの不良ビット数とを比較して、閾値より大きい列又は行を抽出する工程とをさらに備えるので、従来分類することができなかった不良に対して詳細な情報を得ることができ、不良の分類精度が向上した不良解析を行うことができる。

【0024】

（実施の形態 3）

本実施の形態は、実施の形態 1 で行ったブロック不良の分類後に実施の形態 2 の不良解析方法を行う場合に、実施の形態 2 の不良解析方法の前に行う不良解析方法である。そのため、実施の形態 2 と同様、本実施の形態でも、実施の形態 1 で行った分類で列方向のブロック不良及び行方向のブロック不良と判断されたブロック不良に対して不良解析を行う。ランダムブロック不良と判断された場合は、本実施の形態の不良解析方法は行わない。

【0025】

まず、本実施の形態では、列方向のブロック不良と判断されたブロック不良に対して説明を行う。まず、フェイルビットマップを所定の行数毎に分割し、分割された部分を複数の行を 1 行に縮退させる。つまり、分割された部分のある列に含まれる複数のビットを 1 ビットに縮退させる。図 3 のフェイルビットマップ 9

に対して本実施の形態を適用した場合について説明する。まず、図3のフェイルビットマップ9を8行毎に8つの部分に分割する。各部分の1列には8ビット含まれ、この8ビットを1ビットに縮退させる。ここで、8ビットを1ビットに縮退させた場合の不良ビットの取り扱いは、8ビット中に2ビット以上の不良ビットが存在すれば、縮退後のビットは不良ビットとして表現される。以上のような縮退を図3について行った結果が、図5(a)に示されている。図5(a)では、図3の64行64列のフェイルビットマップ9が8行64列に縮退されたフェイルビットマップ10が示されている。

【0026】

フェイルビットマップを縮退した後に、実施の形態2の不良解析方法が適用される。図5(b)に所定の列数分の不良ビット数が示されている。この図(b)から最大値を求め、この最大値の $1/2$ を閾値として、所定の列数分の不良ビット数と閾値を比較する。比較の結果、閾値以上の列の情報をデータとして取り出す。図5(b)では、最大値が3列目の28個であり、この最大値から閾値は14と求められる。この閾値と図5(b)の表に示された各列の不良ビット数とを比較して、閾値より大きい列3, 7, 11, 15列がデータとして取り出される。本実施の形態の不良解析方法を追加しても、図3に示されたフェイルビットマップ9から、列方向のブロック不良(3, 7, 11, 15)であると分類できる。

【0027】

なお、本実施の形態では、フェイルビットマップを所定の行数毎に分割して、フェイルビットマップを縮退させていたが、所定の列数毎に分割して、フェイルビットマップを縮退させても良い。また、行方向のブロック不良と判断されたブロック不良に対しても、同様にフェイルビットマップを所定の行又は列数毎に分割し、分割された部分を1ビットに縮退させることができる。さらに、本実施の形態では、縮退させた場合の不良ビットの取り扱いは、8ビット中に2ビット以上の不良ビットが存在すれば、縮退後のビットは不良ビットとして表現する基準が設けられているが、本発明は、これに限られず過去の不良データ等に基づいて適切な基準で縮退後の不良ビットを設定しても良い。さらに、本実施の形態では

、閾値を算出するために、不良ビット数の最大値に $1/2$ を掛けているが、本発明は、これに限られず過去の不良データ等に基づいた適切な値を不良ビット数の最大値に掛けるように設定しても良い。

【0028】

以上のように、本実施の形態に記載の半導体装置の不良解析方法は、フェイルビットマップを所定の行又は列数のブロックに分割する工程と、ブロック毎に、各列又は行の列又は行方向の不良ビット数が所定の個数以上の場合に各列又は行を1ビットの不良ビットに変換し、各列又は行の列又は行方向の不良ビット数が所定の個数より少ない場合に各列又は行を1ビットの正常ビットに変換することで、ブロックを1行又は1列のフェイルビットマップに縮退させる工程とをさらに備えるので、従来分類より不要なノイズを除去することができるため、不良の分類精度が向上した不良解析を行うことができる。

【0029】

(実施の形態4)

実施の形態2又は実施の形態3の不良解析方法では、実施の形態1でブロック不良と判断されたフェイルビットマップ9の全体に対して適用していた。本実施の形態では、実施の形態1でブロック不良と判断されたフェイルビットマップ9の中で予め実施の形態2又は実施の形態3の不良解析方法を適用する領域を定める。図6に、本実施の形態に係るフェイルビットマップ9を示す。図6は、図3で示したフェイルビットマップ9に対して左側の32列×64行の範囲を計算対象領域Iとし、右側の32列×64行の範囲を計算対象外領域IIとしている。

【0030】

このように、予め定められた計算対象領域Iに対してのみ実施の形態2又は実施の形態3の不良解析方法を適用する。なお、計算対象領域Iをどのような範囲に適用するかは、過去の不良データ等に基づいた適切な範囲に適用すれば良く、必ずしも図6のような領域に設定する必要はない。

【0031】

以上のように、本実施の形態に記載の半導体装置の不良解析方法は、不良解析方法を適用するフェイルビットマップ9の範囲を予め設定する工程をさらに備え

るので、不良解析方法を行う対象領域を小さくすることができるため、不良解析の処理時間を大幅に短縮することができる。

【0032】

（実施の形態5）

本実施の形態では、実施の形態2又は実施の形態3で求めた不良ビットの行又は列の情報から最小の周期を算出する。図3で示したフェイルビットマップ9に基づいて説明すると、実施の形態2又は実施の形態3により求められた結果は列方向のブロック不良（3，7，11，15）である。この求められた3，7，11，15列から最小の周期を算出すると周期が4列周期であることが分かる。そのため、本実施の形態の不良解析方法により、図3に示されたフェイルビットマップ9から、4列周期で3，7，11，15列の列方向のブロック不良（以下、列方向のブロック不良（4列周期／3，7，11，15）とも表現する）であると分類できる。なお、行方向のブロック不良の場合は、実施の形態2又は実施の形態3で求めた不良ビットの行の情報から最小の行周期を求める。

【0033】

以上のように、本実施の形態に記載の半導体装置の不良解析方法は、列又は行方向のブロック不良と判断されたフェイルビットマップについて、不良ビットの列周期又は行周期を算出する工程をさらに備えるので、精度良く周期的なブロック不良を分類し不良解析を行うことができる。

【0034】

ここで、実施の形態1から本実施の形態までの不良解析方法のフローチャートを図7に示す。図7では、不良解析方法を開始すると、まず半導体装置1に対してビット不良6、ライン不良7、ブロック不良8の分類を行う（不良分類21）。次に、不良分類21の結果からブロック不良8を選択する（ブロック不良選択22）。選択されたブロック不良8に対して列方向のブロック不良、行方向のブロック不良、ランダムブロック不良の分類するため実施の形態1の不良解析を行う（不良解析23）。

【0035】

不良解析23の結果、ブロック不良8がランダムブロック不良か否かにより分

岐する（分岐 2 4）。分岐 2 4 でランダムブロック不良でなければ、フェイルビットマップ 9 に対して予め定められた範囲を計算対象領域 I に設定する（計算対象領域設定 2 5）。

【 0 0 3 6 】

計算対象領域設定 2 5 で計算対象領域 I を設定されたフェイルビットマップ 9 に対して縮退するか否かによって分岐する（縮退分岐 2 6）。フェイルビットマップ 9 を縮退させる場合は、実施の形態 3 に示した不良解析方法でフェイルビットマップ 9 を縮退させる（縮退 2 7）。縮退したフェイルビットマップ 9 に対して実施の形態 2 の不良解析方法を適用する（不良解析 2 8）。フェイルビットマップ 9 を縮退させない場合も、実施の形態 2 の不良解析方法を適用する。

【 0 0 3 7 】

不良解析 2 8 の結果に対して実施の形態 5 の不良解析方法を適用する（不良解析 2 9）。そして、半導体装置 1 に存在する全てのブロック不良 8 に対して不良解析が終わったか否かにより分岐する（分岐 3 0）。半導体装置 1 に存在する全てのブロック不良 8 について不良解析が終わっていれば、不良解析方法終了となる。半導体装置 1 に存在する全てのブロック不良 8 について不良解析が終わっていなければ、不良解析 2 3 で分類した次のブロック不良 8 を選択し、当該ブロック不良 8 がランダムブロック不良か否かの判断を行い、その結果に基づいて分岐する（分岐 2 4）。なお、分岐 2 4 でランダムブロック不良でないと判断された場合、現在選択しているブロック不良 8 に対しては不良解析を行わず、分岐 3 0 に移動する。

【 0 0 3 8 】

（実施の形態 6）

本実施の形態では、周期的な不良ビットとそれ以外の不良ビットが混在するブロック不良から、それ以外の不良ビットを特定する不良解析方法を示す。本実施の形態では、まず、ブロック不良に対して実施の形態 5 の不良解析を行い周期や不良ビットの行又は列の情報を得る。この情報に基づいてフェイルビットマップから、周期的な不良ビットを取り除く。これにより、周期的な不良ビット以外の不良ビットをフェイルビットマップから特定できるようにする。

【0039】

図8に、図3に示したフェイルビットマップ9に19行目及び20行目に行方向のライン不良13が重畳したフェイルビットマップ11を示す。このフェイルビットマップ11に対して実施の形態5の不良解析方法を行うと、列方向のブロック不良(4列周期/3, 7, 11, 15)の結果を得ることができる。この結果から、フェイルビットマップ11に対して3列目から4列周期の列にある不良ビットを取り除く。この不良ビットを取り除いたフェイルビットマップ12を図9に示す。図9では、19行目及び20行目にライン不良13が示されている。なお、このライン不良13は、3列目から4列周期の列にある不良ビットが取り除かれた破線のライン不良13として表現されている。図9のように処理することで、規定のパターンと照会して不良を分類するような従来の方で、19行目及び20行目に行方向のライン不良13を認識することができる。

【0040】

以上のように、本実施の形態に記載の半導体装置の不良解析方法は、周期性を有する不良ビットをフェイルビットマップから削除する工程をさらに備えるので、周期的な不良ビットを含むブロック不良に、他の不良ビットが重畳している場合に、精度良く他の不良ビットを分類し不良解析を行うことができる。

【0041】

本実施の形態の変形例は、図9に示すようなフェイルビットマップ12から図10に示すようなフェイルビットマップ14に補完処理する。フェイルビットマップ12では、周期的な不良ビットを取り除くことでライン不良13が破線になっている。このまま、不良パターンを認識させるとライン不良13と判断されない場合がある。そこで、フェイルビットマップ12の破線のライン不良13に対して、削除されずに残った不良ビットから実線のライン不良15に補完する。

【0042】

ここで補完方法として、例えば周期的な不良ビットを取り除く処理によりライン不良13から取り除かれたの箇所に対して、左右5ビットずつ不良ビット数を数える。数えられた不良ビット数が5ビット以上であれば、当該箇所を不良として補完する。逆に、数えられた不良ビット数が5ビット未満であれば、当該箇所

を正常として補完する。なお、補完方法は、削除されずに残った不良ビットに基づいて補完できれば良く、特に上記の方法には限定されない。

【0043】

以上のように、本実施の形態に記載の半導体装置の不良解析方法は、周期性を有する不良ビットを削除したフェイルビットマップに対して、削除されずに残った不良ビットに基づいてデータ補完を行う工程をさらに備えるので、周期的な不良ビットを含むブロック不良に、他の不良ビットが重畳している場合に、さらに精度良く他の不良ビットを分類し不良解析を行うことができる。

【0044】

(実施の形態7)

本実施の形態では、ブロック不良の不良密度によりブロック不良に対して実施の形態1以降の不良解析方法を行うか否かを判断する。図11に、本実施の形態に係る半導体装置の不良解析方法のフローチャートを示す。

【0045】

図11では、不良解析方法を開始すると、まず半導体装置1に対してビット不良6、ライン不良7、ブロック不良8の分類を行う(不良分類21)。次に、不良分類21の結果からブロック不良8を選択する(ブロック不良選択22)。選択されたブロック不良8に対して不良密度を計算し、所定の値以上なら分岐30に移動する(分岐31)。分岐31で、ブロック不良8の不良密度が所定の値未満なら、選択されたブロック不良8に対して列方向のブロック不良、行方向のブロック不良、ランダムブロック不良の分類するため実施の形態1の不良解析を行う(不良解析23)。

【0046】

不良解析23の結果、ブロック不良8がランダムブロック不良か否かにより分岐する(分岐24)。分岐24でランダムブロック不良でなければ、フェイルビットマップ9に対して予め定められた範囲を計算対象領域Iに設定する(計算対象領域設定25)。

【0047】

計算対象領域設定25で計算対象領域Iを設定されたフェイルビットマップ9

に対して縮退するか否かによって分岐する（縮退分岐26）。フェイルビットマップ9を縮退させる場合は、実施の形態3に示した不良解析方法でフェイルビットマップ9を縮退させる（縮退27）。縮退したフェイルビットマップ9に対して実施の形態2の不良解析方法を適用する（不良解析28）。フェイルビットマップ9を縮退させない場合も、実施の形態2の不良解析方法を適用する。

【0048】

不良解析28の結果に対して実施の形態5の不良解析方法を適用する（不良解析29）。そして、半導体装置1に存在する全てのブロック不良8に対して不良解析が終わったか否かにより分岐する（分岐30）。半導体装置1に存在する全てのブロック不良8について不良解析が終わっていれば、不良解析方法終了となる。半導体装置1に存在する全てのブロック不良8について不良解析が終わっていなければ、不良解析23で分類した次のブロック不良8を選択し、当該ブロック不良8がランダムブロック不良か否かの判断を行い、その結果に基づいて分岐する（分岐24）。なお、分岐24でランダムブロック不良でないと判断された場合、現在選択しているブロック不良8に対しては不良解析を行わず、分岐30に移動する。

【0049】

以上のように、本実施の形態に記載の半導体装置の不良解析方法は、フェイルビットマップに含まれる不良ビットの密度を測定する工程をさらに備え、不良ビットの密度が所定の密度以下である場合に、実施の形態1以降の半導体装置の不良解析方法をスキップするので、必要なブロック不良に対してのみ不良解析方法を適用すれば良いため、半導体装置の不良解析の処理時間が大幅に短縮することができる。

【0050】

（実施の形態8）

本実施の形態は、実施の形態2又は実施の形態3の不良解析方法により分類したブロック不良8をさらに詳細に分類する方法である。実施の形態2又は実施の形態3では、図3に示されたフェイルビットマップ9を列方向のブロック不良（3, 7, 11, 15）と分類している。本実施の形態では、さらに不良率や不良

ビットの推移の情報を加えることにより詳細なブロック不良 8 の分類を行う。

【0051】

具体的に、図 1 2 乃至図 1 4 に示すフェイルビットマップ 1 6, 1 7, 1 8 に基づいて本実施の形態を説明する。図 1 2 乃至図 1 4 に示すフェイルビットマップ 1 6, 1 7, 1 8 に対し実施の形態 2 又は実施の形態 3 の不良解析方法を適用すると、全て列方向のブロック不良 (3, 7, 1 1, 1 5) と分類される。しかし、図 1 2 乃至図 1 4 を見れば分かるようにそれぞれ異なるブロック不良である。図 1 2 に示すフェイルビットマップ 1 6 は、列方向に実線のライン不良が存在しているが、図 1 3 に示すフェイルビットマップ 1 7 では、列方向に破線のライン不良が存在し、実線のライン不良に比べて 5 0 % の不良率である。また、図 1 4 に示すフェイルビットマップ 1 8 は、左側部分は列方向に実線のライン不良が存在しているが、右側に進むに連れて破線の間隔が広がる列方向のライン不良になっている。

【0052】

本実施の形態では、図 1 2 乃至図 1 4 の不良率や不良ビットの推移の情報を加えることにより詳細なブロック不良 8 の分類を行う。ここで、不良ビットの推移の情報を判定するための方法は、例えば予め規定されているフェイルビットマップのパターンに、一定以上の一致率を有するか否かで判定をする。但し、これ以外の方法を用いて不良ビットの推移の情報を判定しても良い。

【0053】

図 1 2 のフェイルビットマップ 1 6 は、ブロック不良 (3, 7, 1 1, 1 5) に実線のライン不良であることの情報を追加し、ブロック不良 (実線 : 3, 7, 1 1, 1 5) と表現して分類を行う。図 1 3 のフェイルビットマップ 1 7 は、ブロック不良 (3, 7, 1 1, 1 5) に不良率 5 0 % の破線のライン不良であることの情報を追加し、ブロック不良 (破線 (5 0 %) : 3, 7, 1 1, 1 5) と表現して分類を行う。図 1 4 のフェイルビットマップ 1 8 は、ブロック不良 (3, 7, 1 1, 1 5) にグラデーションを有する破線のライン不良であることの情報を追加し、ブロック不良 (破線 (グラデーション) : 3, 7, 1 1, 1 5) と表現して分類を行う。

【 0 0 5 4 】

以上のように、本実施の形態に記載の半導体装置の不良解析方法は、周期性を有するブロック不良に対して、ブロック不良の不良率及び不良率の推移の情報に基づいてさらに分類する工程をさらに備えるので、ブロック不良に対してより詳細な分類を行うことができるため精度良く、不良解析を行うことができる。

【 0 0 5 5 】

【発明の効果】

本発明に記載の半導体装置の不良解析方法は、(a) 行列状に配置された複数のメモリセルを有する半導体装置から取得されたフェイルビットマップにおいて、ブロック不良と分類される領域に対して行毎に不良ビット数を積算する工程と、(b) フェイルビットマップにおいて、ブロック不良と分類される領域に対して列毎に不良ビット数を積算する工程と、(c) 行毎に積算した不良ビット数の平均値から第1 閾値を求め、行毎に積算した不良ビット数と第1 閾値とを比較する工程と、(d) 列毎に算出した不良ビット数の平均値から第2 閾値を求め、列毎に積算した不良ビット数と第2 閾値とを比較する工程と、(e) 工程(c) 後に各行の比較結果の平均値を求め行平均値を算出する工程と、(f) 工程(d) 後に各列の比較結果の平均値を求め列平均値を算出する工程と、(g) 行平均値が列平均値に所定の係数を掛けた値より大きければ、半導体装置は列方向のブロック不良を有すると判断し、列平均値が行平均値に所定の係数を掛けた値より大きければ、半導体装置は行方向のブロック不良を有すると判断し、行平均値が列平均値に所定の係数を掛けた値以下で、且つ列平均値が行平均値に所定の係数を掛けた値以下であれば、半導体装置はランダムブロック不良を有すると判断する工程とを備えるので、従来分類することができなかった不良に対して詳細な情報を得ることができ、不良の分類精度が向上した不良解析を行うことができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に係る半導体装置の不良解析方法を行う装置のブロック図である。

【図2】 本発明の実施の形態1に係る半導体装置のフェイルビットマップを示す図である。

【図 3】 本発明の実施の形態 1 に係る半導体装置のブロック不良部分のフェイルビットマップを示す図である。

【図 4】 本発明の実施の形態 2 に係る半導体装置のブロック不良部分のフェイルビットマップを示す図である。

【図 5】 本発明の実施の形態 3 に係る半導体装置のブロック不良部分のフェイルビットマップを示す図である。

【図 6】 本発明の実施の形態 4 に係る半導体装置のブロック不良部分のフェイルビットマップを示す図である。

【図 7】 本発明の実施の形態 5 に係る半導体装置の不良解析方法のフローチャートである。

【図 8】 本発明の実施の形態 6 に係る半導体装置のブロック不良部分のフェイルビットマップを示す図である。

【図 9】 本発明の実施の形態 6 に係る半導体装置のブロック不良部分のフェイルビットマップを示す図である。

【図 10】 本発明の実施の形態 6 の変形例に係る半導体装置のブロック不良部分のフェイルビットマップを示す図である。

【図 11】 本発明の実施の形態 7 に係る半導体装置の不良解析方法のフローチャートである。

【図 12】 本発明の実施の形態 8 に係る半導体装置のブロック不良部分のフェイルビットマップを示す図である。

【図 13】 本発明の実施の形態 8 に係る半導体装置のブロック不良部分のフェイルビットマップを示す図である。

【図 14】 本発明の実施の形態 8 に係る半導体装置のブロック不良部分のフェイルビットマップを示す図である。

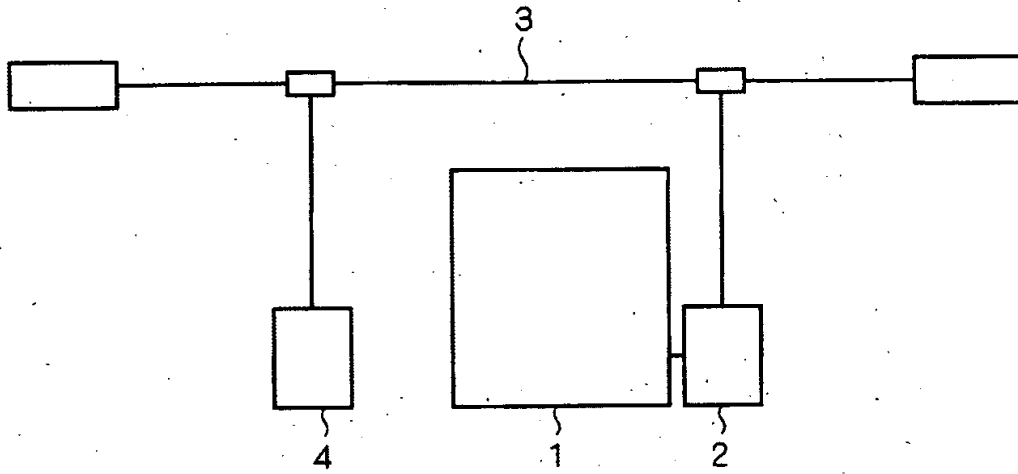
【符号の説明】

1 半導体装置、2 LSI テスタ、3 データ回線、4 データ解析用 EWS、5 半導体チップ、6 ビット不良、7, 13, 15 ライン不良、8 ブロック不良、9, 10, 11, 12, 14, 16, 17, 18 フェイルビットマップ、21 不良分類、22 ブロック不良選択、23, 28, 29 不良解

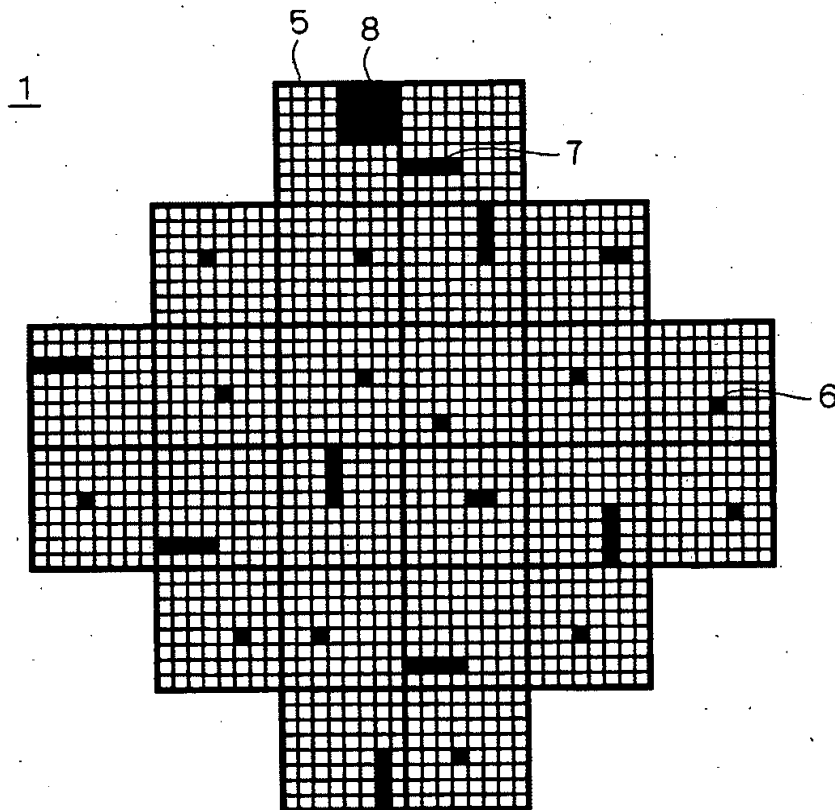
析、24, 30, 31 分岐、25 計算対象領域設定、26 縮退分岐、27
縮退。

【書類名】 図面

【図1】

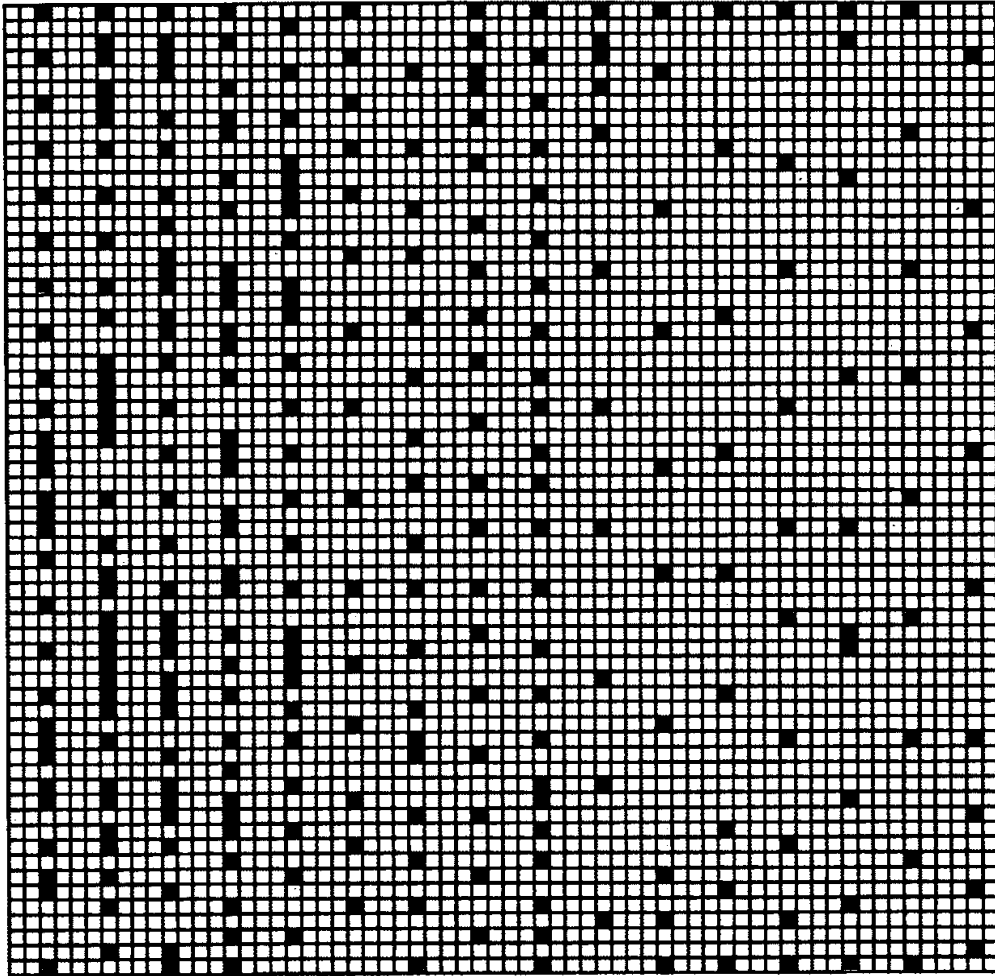


【図2】



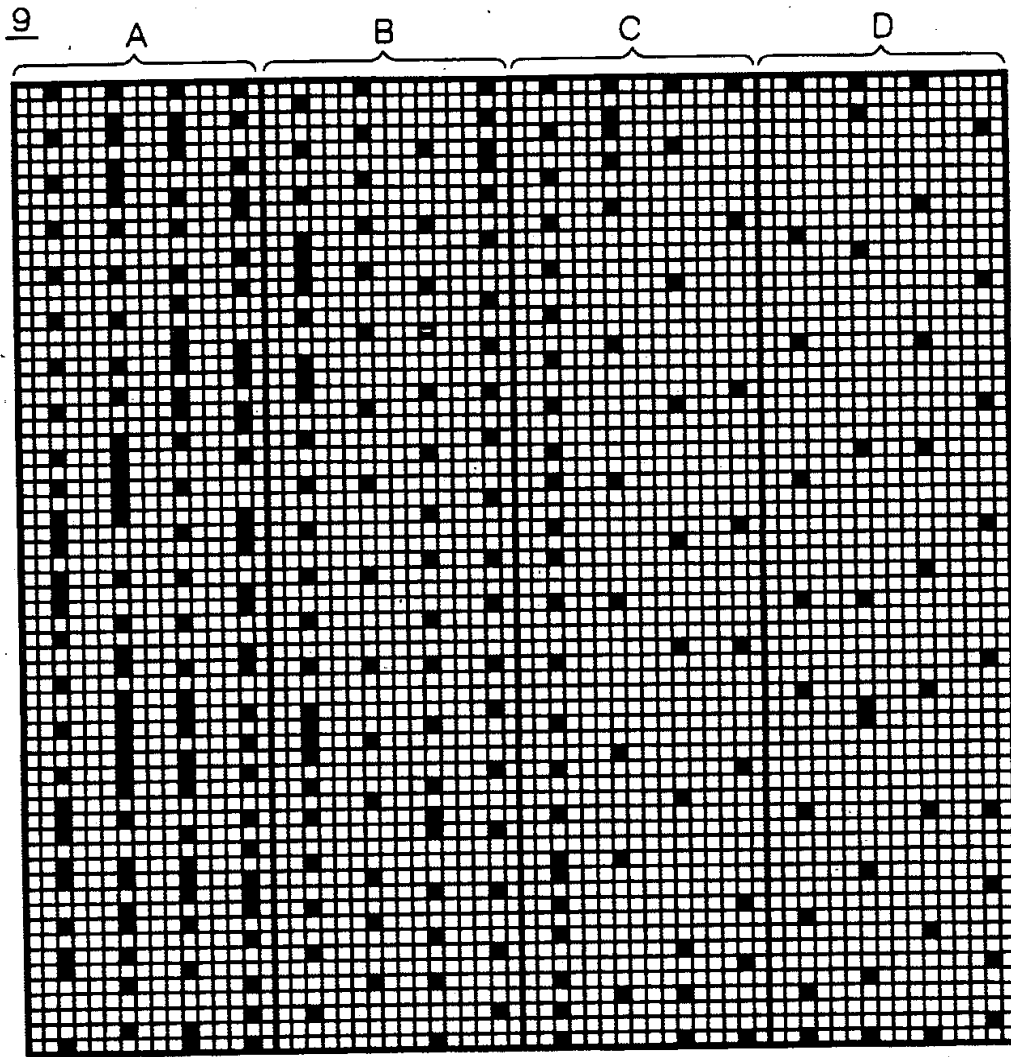
【図 3】

9



【図4】

(a)



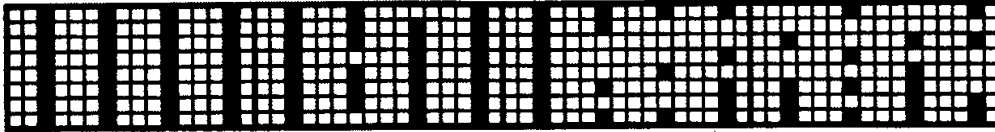
(b)

列	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
不良ビット数	0	0	90	0	0	0	72	0	0	0	70	0	0	0	70	0

【図 5】

(a)

10

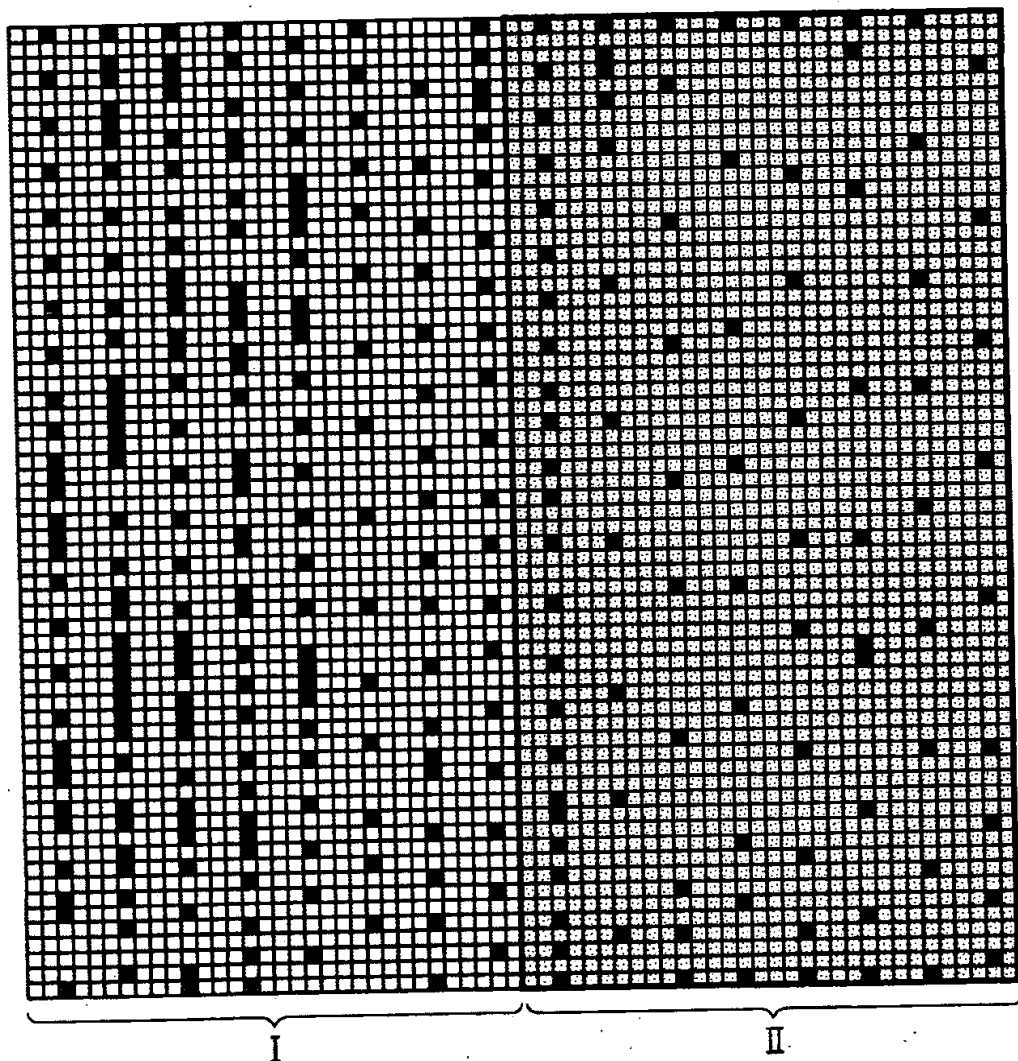


(b)

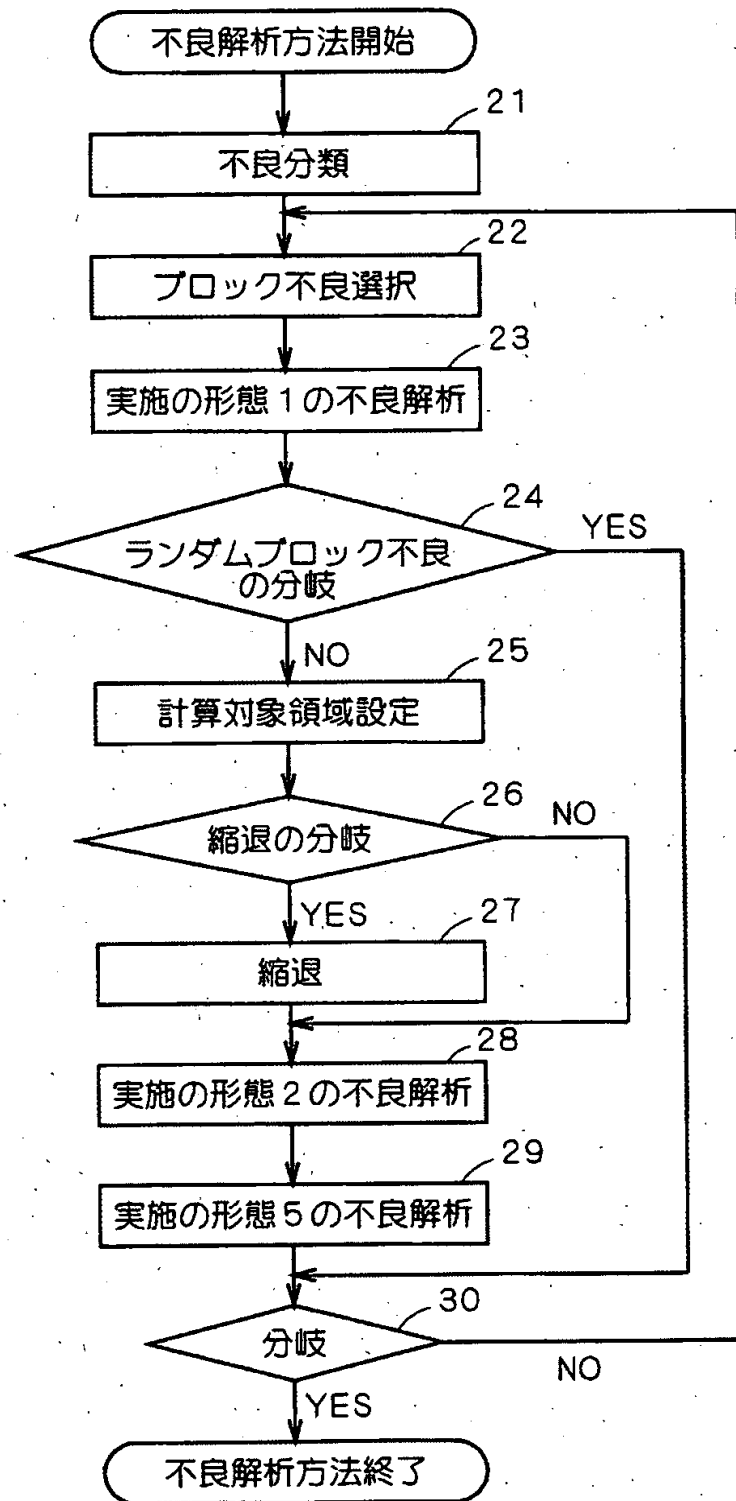
列	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
不良 ビット数	0	0	28	0	0	0	22	0	0	0	23	0	0	0	25	0

【図6】

9

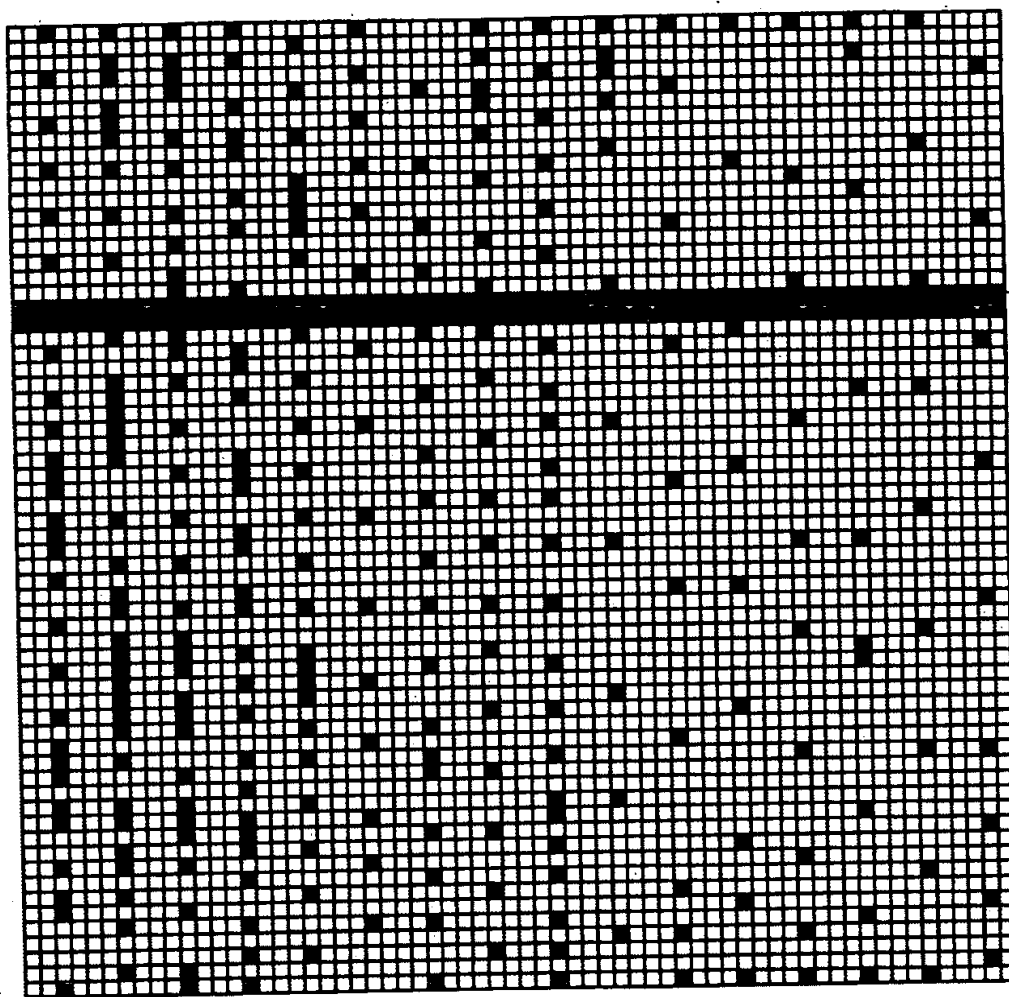


【図 7】



【図8】

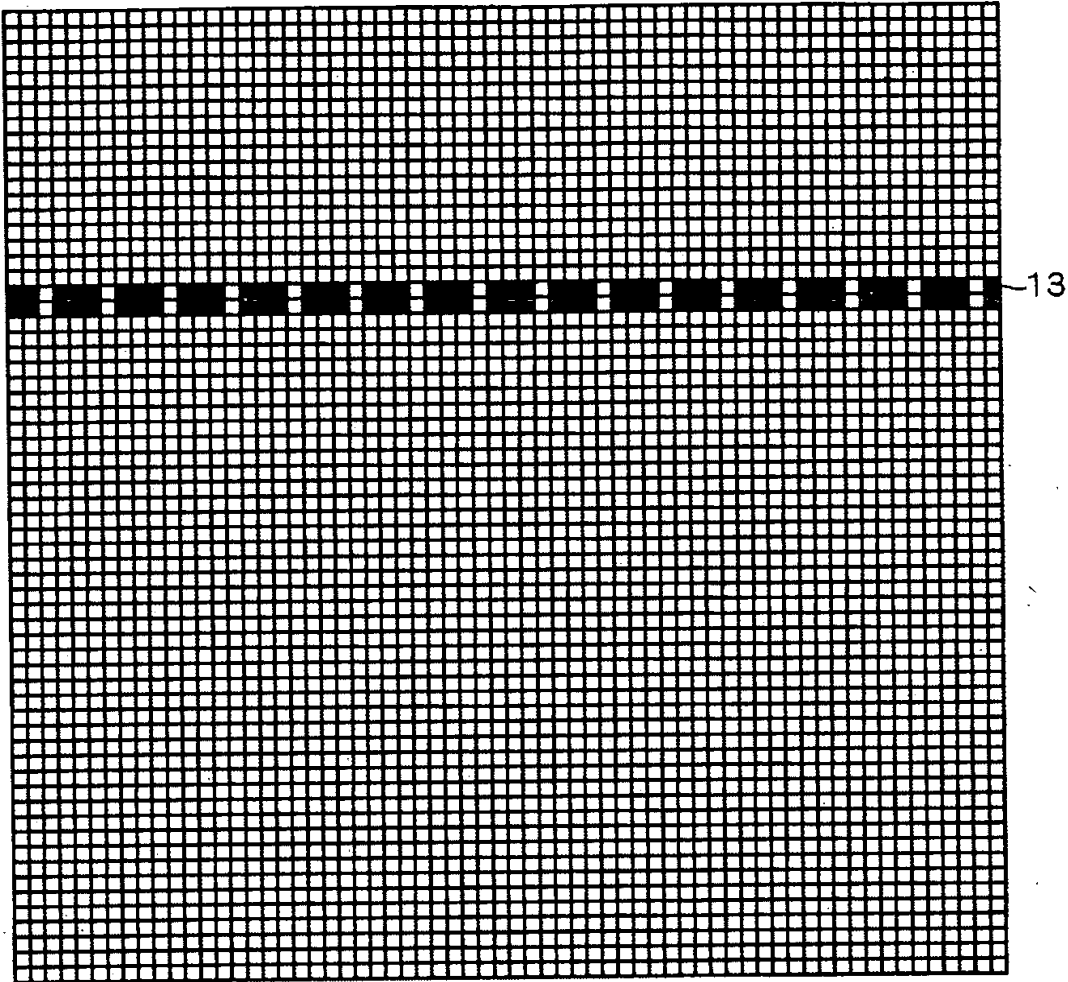
11



13

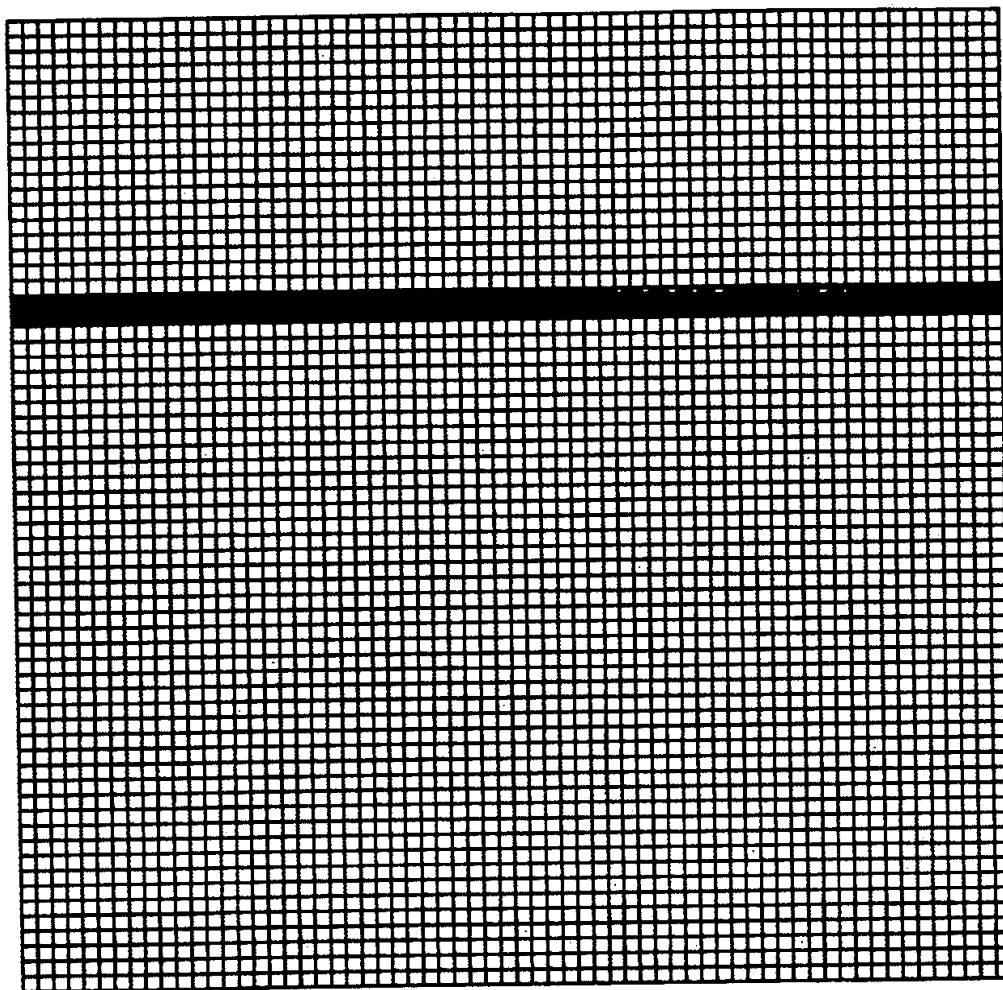
【図9】

12



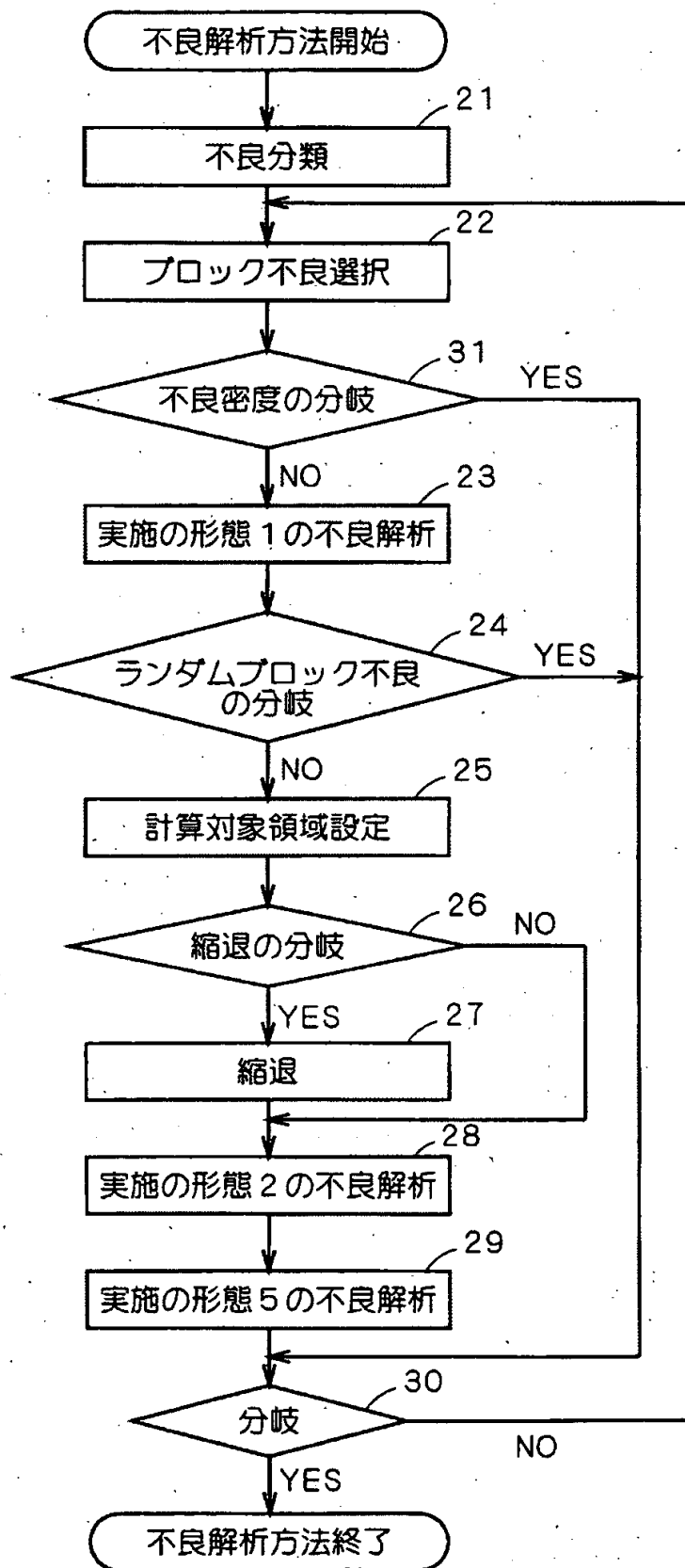
【図10】

14



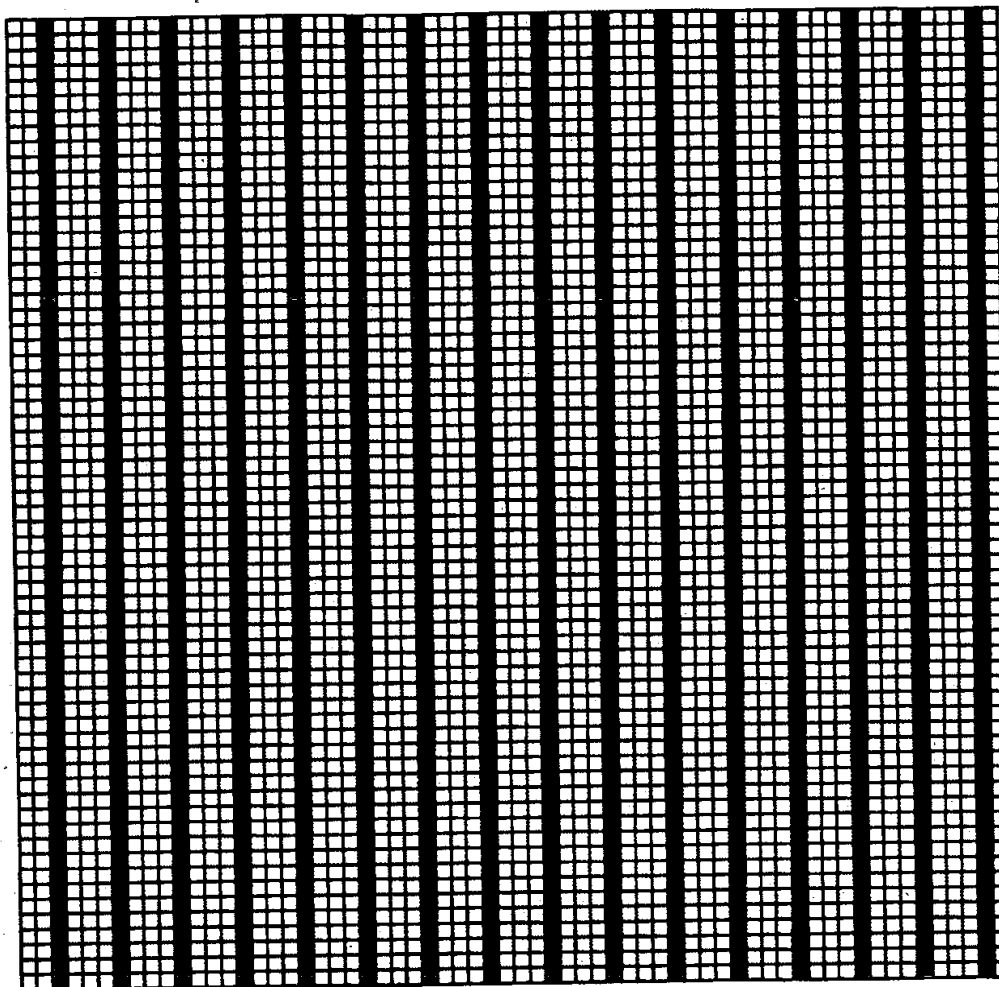
15

【図11】



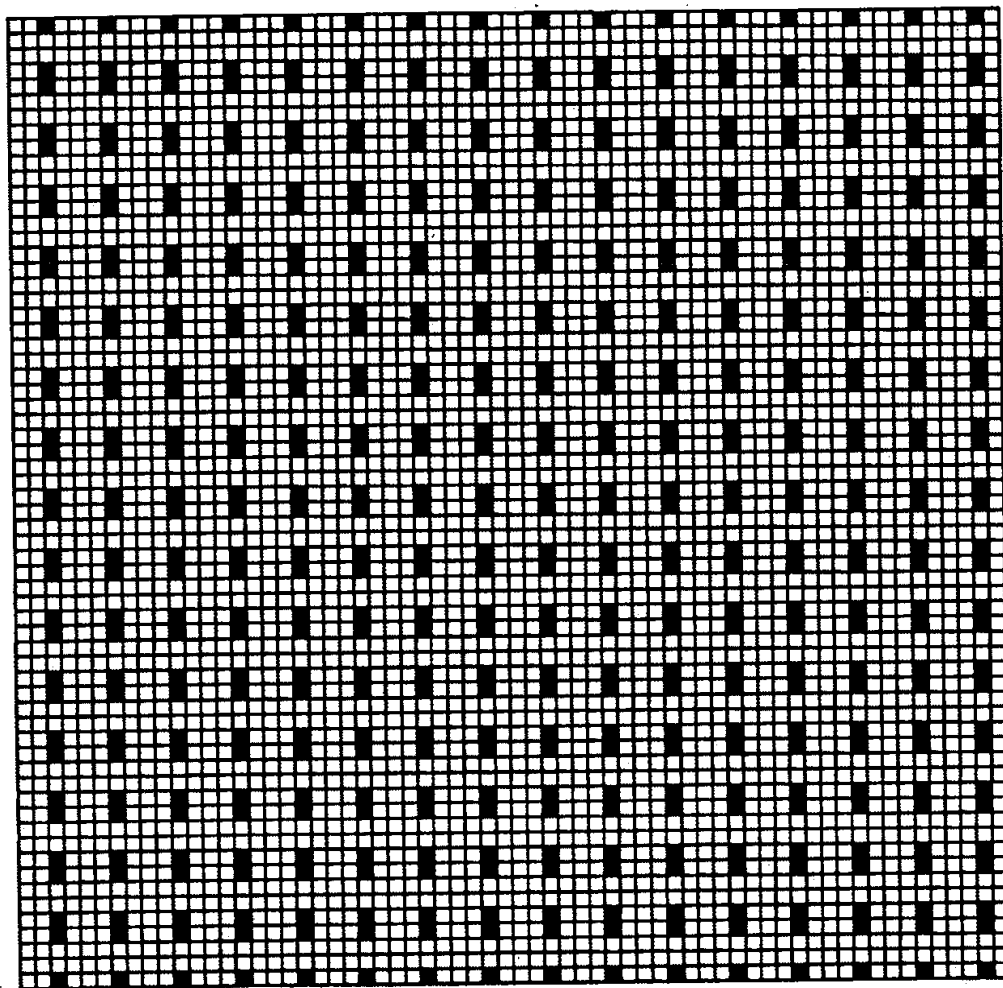
【図12】

16



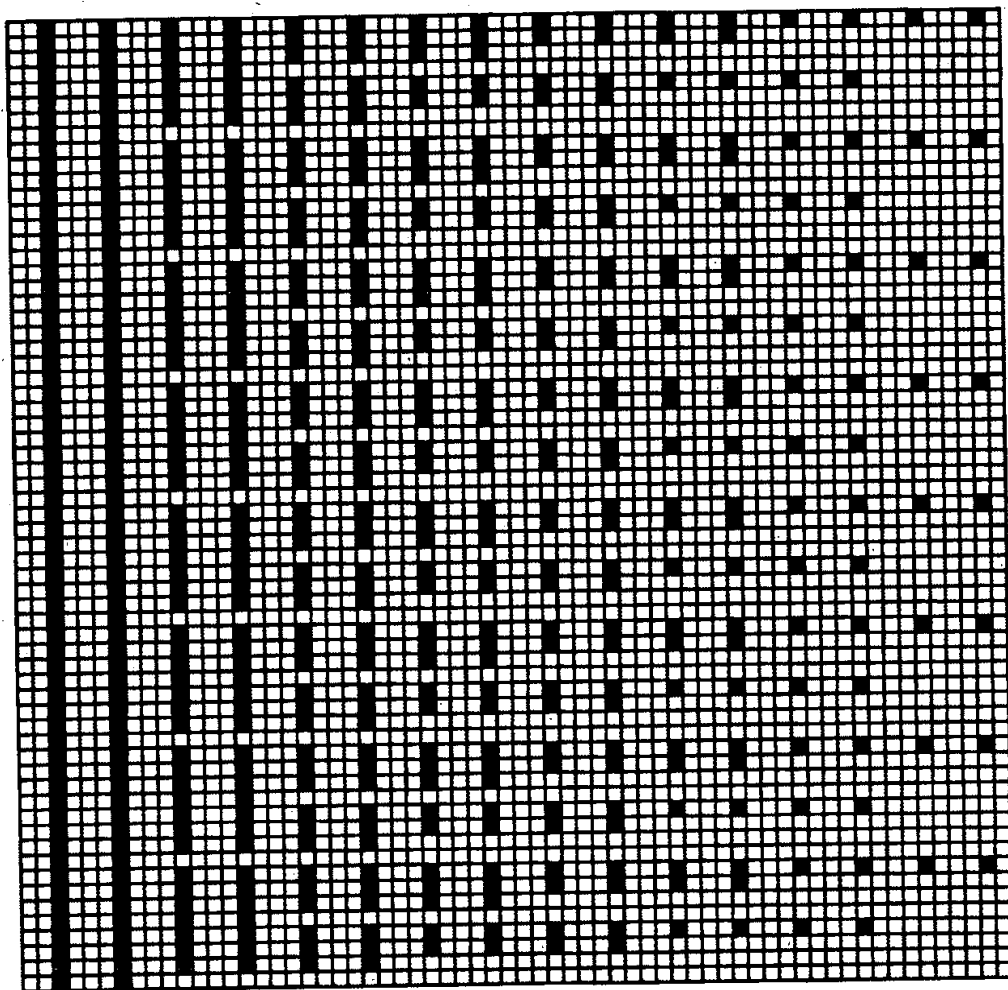
【図13】

17



【図14】

18



【書類名】 要約書

【要約】

【課題】 本発明は、精度良く周期的なブロック不良や周期的なライン不良等の不良を分類し不良解析を行うことができる不良解析方法を提供する。

【解決手段】 フェイルビットマップ9から、行毎、列毎に不良ビット数を計算し、行及び列の平均不良ビット数を求める。この行及び列の平均不良ビット数の $1/2$ を行及び列の閾値とし、行の閾値及び列の閾値に基づいて各行及び各列の不良ビット数をデジタル変換する。このデジタル変換した各行及び各列の不良ビット数から、行平均値及び列平均値をそれぞれ求め、列平均値が、行平均値に係数を掛けた値よりも大きい場合は行方向のブロック不良と分類される。行平均値が、列平均値に係数を掛けた値よりも大きい場合は列方向のブロック不良と分類される。列平均値が、行平均値に係数を掛けた値以下で、且つ行平均値が、列平均値に係数を掛けた値以下の場合は、ランダムブロック不良と判断される。

【選択図】 図3

特2003-152178

出 願 人 履 歴 情 報

識別番号 [503121103]

1. 変更年月日 2003年 4月 1日
[変更理由] 新規登録
住 所 東京都千代田区丸の内二丁目4番1号
氏 名 株式会社ルネサステクノロジ